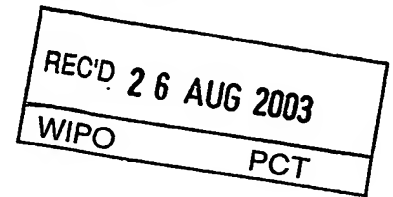


# BUNDE REPUBLIK DEUTSCHLAND

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 33 208.8

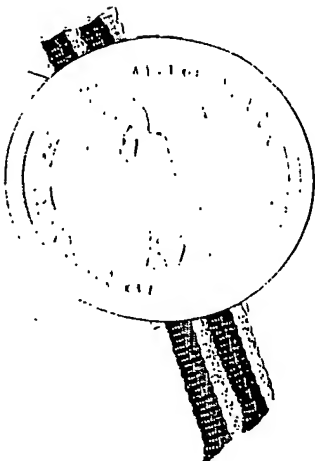
**Anmeldetag:** 22. Juli 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Halbleiterbauelement mit Grabenisolierung  
sowie zugehöriges Herstellungsverfahren

**IPC:** H 01 L 21/762

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.



München, den 1. August 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Klostermeyer



## Beschreibung

Halbleiterbauelement mit Grabenisolierung sowie zugehöriges Herstellungsverfahren

5

Die vorliegende Erfindung bezieht sich auf ein Halbleiterbauelement mit Grabenisolierung sowie ein zugehöriges Herstellungsverfahren und insbesondere auf ein Halbleiterbauelement mit einer grabenförmigen, bodenkontaktierten aktiven Abschirmung sowie ein zugehöriges Herstellungsverfahren.

10

Isolierungen zum Festlegen insbesondere von aktiven Gebieten in Halbleitersubstraten wurden üblicherweise durch dicke Oxidfilme, sogenannte lokale Oxidationsgebiete (LOCOS, Local Oxidation of Silicon) ausgebildet. Mit der ansteigenden Integrationsdichte sind jedoch derartige herkömmliche LOCOS-Verfahren nicht länger geeignet, da sie einen hohen Flächenbedarf aufweisen. Darüber hinaus besitzen sie das sogenannte „Birds Beak“-Phänomen, wobei sich Isolationsschichten lateral in Richtung der aktiven Gebiete ausbilden. Es wurden daher sogenannte Grabenisolierungen entwickelt, wobei beispielsweise gemäß der flachen Grabenisolierung (STI, Shallow Trench Isolation) ein mit Isoliermaterial gefüllter flacher Isolationsgraben an der Oberfläche eines Halbleitersubstrats ausgebildet wird. Gleichwohl ist auch eine derartige herkömmliche Grabenisolierung oftmals nicht ausreichend, da sogenannte Punch-through-Effekte im Halbleitermaterial auftreten. In diesem Fall beobachtet man unerwünschte Leckströme. Im Extremfall können durch diese Leckströme parasitäre Bipolar-Transistoren getriggert werden und es dadurch zu einer Zerstörung von Halbleiterbauelementen kommen.

15

20

25

30

35

Insbesondere zur Verringerung derartiger Leckströme wurden in letzter Zeit Grabenisolierungen mit einer Abschirm-Struktur entwickelt, wobei zur Realisierung einer Feld-Abschirmung im Graben ein elektrisch leitendes Material als Elektrode eingebettet ist und zu verbesserten elektrischen Eigenschaften

führt. Üblicherweise werden derartige Grabenisolierungen mit abschirmender Wirkung an der Substratoberfläche oder vom Substrat her kontaktiert.

- 5    Nachteilig sind hierbei jedoch eine unzureichende Abschirmwirkung und/oder ein erhöhter Flächenbedarf auf Grund der notwendigen Kontaktierung.

10    Der Erfindung liegt daher die Aufgabe zu Grunde ein Halbleiterbauelement mit Grabenisolierung sowie ein zugehöriges Herstellungsverfahren zu schaffen, wobei neben einer verbesserten Abschirmung ein verringerter Flächenbedarf und somit eine verbesserte Integrationsdichte realisierbar ist.

- 15    Erfindungsgemäß wird diese Aufgabe hinsichtlich des Halbleiterbauelements mit den Merkmalen des Patentanspruchs 1 und hinsichtlich des Herstellungsverfahrens durch die Maßnahmen des Patentanspruchs 7 gelöst.

20    Insbesondere durch die Verwendung eines speziellen Grabenkontakts, der einen tiefen Kontaktgraben mit einer Seitenwand-Isolationsschicht und einer elektrisch leitenden Füllschicht aufweist, die in einem Bodenbereich des Kontaktgrabens mit einem vorbestimmten Dotiergebiet des Halbleitersubstrats elektrisch in Verbindung steht, und über das eine Grabenisolierung mit aktiver Abschirmung kontaktiert wird, können insbesondere Substratwiderstände wesentlich verringert werden, wodurch man verbesserte Abschirmeigenschaften erhält. Gleich-  
30    zeitig kann durch die Verwendung des Grabenkontakts ein Flächenbedarf für eine jeweilige Halbleiterschaltung wesentlich verringert werden.

35    Vorzugsweise befindet sich eine Abdeckisolationsschicht der Grabenisolierung unterhalb der Halbleitersubstrat-Oberfläche und innerhalb des Isolationsgrabens, woraus insbesondere eine verbesserte Weiterverarbeitbarkeit auf Grund der relativ ebenen Oberfläche sowie eine Isolation der leitenden Grabenfüll-

lung von evtl. über der Abdeckisolationsschicht liegenden leitenden Schichten wie z.B. Leiterbahnen resultiert.

Vorzugsweise sind die Grabenisolierung und der Grabenkontakt mit einer Tiefe im Halbleitersubstrat ausgebildet, die größer einer Tiefe einer jeweiligen Verarmungszone ist, wodurch insbesondere Punch-through-Effekte verringert werden können.

Werden an der Halbleitersubstrat-Oberfläche der jeweiligen Grabenisolierung verbreiterte bzw. sogenannte flache Isolationsgräben verwendet, so können unter Verwendung herkömmlicher Standardverfahren nicht benötigte bzw. nicht aktive Bereiche eines Halbleitersubstrats auf einfache Weise passiviert werden.

15

Vorzugsweise besitzt das Halbleitersubstrat eine Mehrfach-Wannenstruktur, wobei das vorbestimmte Dotiergebiet eine darin liegende Dotierwanne darstellt, wodurch sich auch bei komplexen Halbleiterschaltungen optimal angepasste Abschirmungen realisieren lassen. Insbesondere eine Kontaktierung von Wannenengebieten wird hierbei wesentlich verbessert, da eine gleichmäßigte Kontaktierung ermöglicht ist und Potentialschwankungen innerhalb einer Wanne verringert sind. Andererseits kann ein Flächenbedarf wesentlich reduziert werden, da jeweilige Wannenkontakte nunmehr nicht länger an eine Halbleitersubstrat-Oberfläche geführt werden müssen.

5

In den weiteren Unteransprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

30

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen:

35

Figuren 1A bis 1N vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstel-

lung eines Halbleiterbauelements mit Grabenisolierung gemäß einem ersten Ausführungsbeispiel;

Figur 2 eine vereinfachte Schnittansicht zur Veranschaulichung eines Halbleiterbauelements mit Grabenisolierung gemäß einem zweiten Ausführungsbeispiel;

Figur 3 eine vereinfachte Schnittansicht zur Veranschaulichung eines Halbleiterbauelements mit Grabenisolierung gemäß einem dritten Ausführungsbeispiel;

Figur 4 eine vereinfachte Schnittansicht zur Veranschaulichung eines Halbleiterbauelements mit Grabenisolierung gemäß einem vierten Ausführungsbeispiel;

15

Figuren 5A bis 5H vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Halbleiterbauelements mit Grabenisolierung gemäß einem fünften Ausführungsbeispiel; und

20

Figuren 6A bis 6E vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Halbleiterbauelements mit Grabenisolierung gemäß einem sechsten Ausführungsbeispiel.

Erstes Ausführungsbeispiel

Die Figuren 1A bis 1N zeigen vereinfachte Schnittansichten eines Halbleiterbauelements mit einer in einem oberen Bereich verbreiterten aber flachen Grabenisolierung STI, einer in ihrem oberen Bereich dünnen Grabenisolierung TTI (Thin Trench Isolation) und einem zugehörigen Grabenkontakt DTC (Deep Trench Contact) gemäß einem ersten Ausführungsbeispiel.

30

Gemäß Figur 1A werden in einem gemeinsamen Trägermaterial wie z.B. einem Halbleitersubstrat zunächst unterschiedliche Dotiergebiete ausgebildet, wobei das Bezugszeichen 1 beispielsweise

35

5 oder sonstigen Dotierverfahren ausgebildet werden, wobei als  
Halbleitermaterial vorzugsweise Silizium verwendet wird.

oder aufgewachsen. Auf diese Weise erhält man im Halbleiter-  
substrat eine Doppel- oder Dreifach-Wannenstruktur, mit der  
komplexe Halbleiterschaltungen und insbesondere NMOS- sowie  
PMOS-Transistoren realisiert werden können. Zur Realisierung  
von Hochvoltschaltungen können die Wannen mit entsprechenden  
Hochvolt-Dotierungen ausgebildet werden.

20  $\text{Si}_3\text{N}_4$  abgeschieden wird. Zur Ausbildung einer entsprechenden Hartmaske für später auszubildende tiefe Gräben T erfolgt anschließend eine Strukturierung mittels herkömmlicher lithographischer Verfahren.

5 Gemäß Figur 1C werden unter Verwendung der strukturierten  
Hartmaske bzw. Hartmaskenschicht 5 mittels z.B. eines ani-  
30 sotropen Ätzverfahrens in jeweiligen Bereichen für eine Gra-  
benisolierung mit flachem aber verbreitertem Oberflächenbe-  
reich STI, einer dünnen Grabenisolierung TTI und einem Gra-  
benkontakt DTC tiefe Gräben T ausgebildet. Beispielsweise  
kann als anisotropes Ätzverfahren ein reaktives Ionenätzen  
(RIE, Reactive Ion Etch) verwendet werden, wodurch sehr tiefe  
und exakt strukturierbare Gräben mit gleicher Tiefe im Halb-  
leitersubstrat ausgebildet werden.

Insbesondere bei Verwendung einer Grabenstruktur, wobei die tiefen Gräben nur innerhalb einer Wanne oder eines gleich do-



Grabenisolierung ausgebildet werden, wodurch auch große Flächenbereiche einfach deaktiviert werden können.

Gemäß Figur 1F wird anschließend die erste Resistschicht 8 entfernt bzw. gestrippt und eine zweite Isolationsschicht 9 ganzflächig ausgebildet, wobei vorzugsweise eine Siliziumdioxid-Hartmaskenschicht (z.B. TEOS) mittels eines CVD-Verfahrens (Chemical Vapor Deposition) abgeschieden wird. Anschließend wird eine zweite Resistschicht 10 ganzflächig ausgebildet und mittels herkömmlicher fotolithographischer Verfahren derart strukturiert, dass lediglich die Grabenisolierungen STI und TTI freigelegt werden und der Bereich für den Grabenkontakt DTC weiterhin geschützt bleibt.

Gemäß Figur 1G wird nunmehr die abgeschiedene zweite Isolationsschicht 9 in den Bereichen für die Grabenisolierungen STI und TTI entfernt, wobei herkömmliche Ätzverfahren verwendet werden können, und anschließend die zweite Resistschicht 10 entfernt bzw. gestrippt, wodurch man die in Figur 1G dargestellte Schnittansicht erhält.

Gemäß Figur 1H erfolgt nunmehr unter Verwendung der Hartmaskenschicht 5 in den Bereichen der Grabenisolierungen STI und TTI bzw. der zweiten Isolierschicht 9 im Bereich des Grabenkontakts DTC ein weiteres Ätzverfahren, wobei vorzugsweise mittels eines anisotropen Ätzverfahrens sowohl das Halbleitermaterial bzw. Silizium der obersten p-Wanne 3 als auch ein oberer Bereich der elektrisch leitenden Füllschicht 7 bzw. des hochdotierten Polysiliziums entfernt wird. Vorzugsweise geschieht dies mittels reaktivem Ionenätzen. Anschließend erfolgt ein Reinigungsprozess, bei dem unter anderem auch die während dem vorherigen Trockenätzverfahrens entstehenden Polymere entfernt werden.

Da insbesondere in der verbreiterten Grabenisolierung STI mit flachem und verbreitertem Oberflächenbereich die Seitenwand-Isolationsschicht 6 stehen bleibt, wird in einem nachfolgen-



den Schritt gemäß Figur 1I beispielsweise ein HF-Dip zum Entfernen der verbleibenden Seitenwand-Isolationsschicht 6 durchgeführt. Auf diese Weise werden in den Bereichen der Grabenisolierung STI und TTI die Seitenwand-Isolationsschichten 6 in einem oberen Bereich des tiefen Grabens T entfernt, wodurch man flache und zum Teil verbreiterte Gräben ST erhält. Ferner können gemäß Figur 1I auch die Kanten der Hartmaskenschicht 5 in den freigelegten Bereichen der Grabenisolierungen STI und TTI zurückgeätzt werden, was als sogenanntes „Nitride Pullback“ bezeichnet wird. Auf diese Weise erhält man eine gewisse Entspannung der Grabenkanten für die weitere Prozessierung und auch verbesserte elektrische Eigenschaften von beispielsweise ebenso vorhandenen CMOS-Transistoren.

Gemäß Figur 1J wird anschließend in den ausgebildeten flachen Gräben ST der Grabenisolationsbereiche STI und TTI eine erste Abdeckisolationsschicht 10 ausgebildet, die vorzugsweise wiederum mittels einer thermischen Oxidation ein sogenanntes Liner-Oxid als Isolationsschicht konform ausbildet. In gleicher Weise können jedoch auch alternative Verfahren zum Ausbilden dieser Isolationsschicht (wie z.B. Schichtstrukturen) durchgeführt werden.

Gemäß Figur 1K wird anschließend eine zweite Abdeckisolationsschicht 11 im flachen Graben ST bzw. an der Oberfläche der ersten Abdeckisolationsschicht 10 ausgebildet, wobei vorzugsweise eine CVD-Abscheidung von  $\text{SiO}_2$  (z.B. TEOS) durchgeführt wird. Auf diese Weise werden die flachen Gräben ST vollständig aufgefüllt. Zum Planarisieren der derart abgedeckten zweiten Abdeckisolationsschicht 11 wird beispielsweise ein herkömmliches CMP-Verfahren (Chemical Mechanical Polishing) durchgeführt, wobei die Hartmaskenschicht 5 als Stoppschicht verwendet wird. Bei diesem Schritt wird demzufolge auch die zweite Isolationsschicht 9 im Bereich der Grabenkontakte DTC entfernt, wodurch man die in Figur 1K dargestellte Schnittansicht erhält.

Gemäß Figur 1L wird nunmehr die Hartmaskenschicht 5 bzw. die Siliziumnitridschicht ganzflächig entfernt, wodurch lediglich die erste Isolationsschicht 4, die zweite Isolationsschicht 9 und die zweite Abdeckisoliations-Teilschicht 11 auf dem Halbleitersubstrat verbleibt. Insbesondere bei Verwendung von Siliziumdioxid für diese Schichten erhält man hierbei einen besonders vereinfachten Verfahrensschritt.

10 In einem nachfolgenden Verfahrensschritt wird gemäß Figur 1M  
die verbleibende erste Isolationsschicht 4, welche auch als  
Siliziumdioxid-Bufferschicht bezeichnet wird, entfernt, wobei  
hierbei auch die zweite Isolatorschicht 9 und die zweite Ab-  
deckisulations-Teilschicht 11 entsprechend abgetragen wird  
15 und zur Vermeidung von Kurzschlüssen oder unbeabsichtigten  
Topographien entsprechende Dicken aufweisen sollten.

Anschließend wird beispielsweise mittels thermischer Oxidation eine Gateoxidschicht als Gatedielektrikum 12 ausgebildet, wobei dieses Gatedielektrikum 12 auch mittels alternativer Verfahren und alternativer Materialien ausgebildet werden kann. Üblicherweise erfolgt nunmehr die eigentliche Ausbildung von Schaltelementen in den aktiven Bereichen des Halbleitersubstrats bzw. der p-Wanne 3, wobei in Figur 1N lediglich n+-dotierte Dotiergebiete 13 angedeutet sind. Im Bereich des Grabenkontakts DTC erfolgt ab diesem Zeitpunkt mittels herkömmlicher Verfahren auch das Freilegen einer Kontaktöffnung zum Kontaktieren der tiefen n-Wanne 2 über die elektrisch leitende Füllschicht 7. Die weiteren Herstellungsschritte zum Ausbilden von NMOS- oder PMOS-Transistoren sind hierbei nicht dargestellt, da sie herkömmlichen Herstellungsschritten entsprechen.

35 Auf diese Weise erhält man ein Halbleiterbauelement mit bo-  
denseitig kontaktierter Grabenisolierung, die eine verbesser-  
te Abschirmwirkung aufweist, da insbesondere Kontaktwider-  
stände in den vorbestimmten Dotiergebieten bzw. der n-Wanne 2

- minimal gehalten werden können und darüber hinaus ein Flächenbedarf für die Kontaktierung von oben entfallen kann. Genauer gesagt kann durch geeignete Platzierung des Grabenkontakts DTC im vorbestimmtem Dotiergebiet 2 zu jeder darin befindlichen Grabenisolierung eine optimale Anschlussmöglichkeit gefunden werden. Auf Grund der in den Gräben versenkten Abdeckisolationsschichten 10 und 11 können darüber hinaus unerwünschte Topographien verhindert werden, wodurch sich eine weitergehende Prozessierung vereinfachen lässt. Ferner können durch die in den Figuren 1A bis 1N dargestellten Verfahrensschritte sowohl sehr schmale Grabenisolierungen TTI und damit hohe Integrationsdichten als auch an der Oberfläche verbreiterte Grabenisolierungen STI im Halbleitersubstrat als aktive Abschirmungen effektiv ausgebildet und angeschlossen werden, wodurch sowohl ein sehr geringer Flächenbedarf für aktive Bauelemente realisiert werden kann als auch nicht erwünschte bzw. benötigte aktive Gebiete problemlos mittels der verbreiterten Grabenisolierungen STI deaktiviert werden können.
- Bei der insbesondere in Figur 1N dargestellten Mehrfach-Wannenstruktur können demzufolge auch sehr komplexe Halbleiterschaltungen mit außerordentlich hoher Integrationsdichte realisiert werden, da Punch-through-Effekte und Leckströme zuverlässig verhindert werden.

#### Zweites Ausführungsbeispiel

- Figur 2 zeigt eine vereinfachte Schnittansicht eines Halbleiterbauelements mit Grabenisolierung gemäß einem zweiten Ausführungsbeispiel, wobei gleiche Bezugszeichen gleiche oder entsprechende Elemente bzw. Schichten bezeichnen wie in Figur 1, weshalb auf eine wiederholte Beschreibung nachfolgend verzichtet wird.
- Gemäß Figur 2 kann das Halbleiterbauelement jedoch nicht nur in einem Halbleitersubstrat mit Mehrfach-Wannenstruktur ausgebildet sein, sondern lediglich eine einzige Dotierung auf-

weisen, wodurch man insbesondere für stark vereinfachte Halbleiterschaltungen ebenfalls verbesserte Abschirmeigenschaften bei verringertem Flächenbedarf erhält. Das in Figur 2 dargestellte Halbleiterbauelement ist beispielsweise ein NMOS-Transistor, wobei ein p-Halbleitersubstrat 1 verwendet wird und als elektrisch leitende Füllschicht folglich ein p<sup>+</sup>-dotiertes Halbleitermaterial eingesetzt wird. Wiederum erhält man auf Grund des verwendeten Grabenkontakts DTC eine verbesserte Anschlussmöglichkeit der bodenseitig kontaktierten Grabenisolierungen, wodurch sich eine verbesserte Abschirmung bei verringertem Flächenbedarf ergibt. Insbesondere bei derartigen einfachen Halbleitersubstraten sollte eine Tiefe der Gräben größer sein als eine Tiefe der von den Dotierungsgebieten 13 erzeugten Verarmungszonen, um einen sogenannten Punch-trough-Effekt wirkungsvoll zu verhindern.

Ferner sei darauf hingewiesen, dass insbesondere bei Verwendung von hoch dotierten polykristallinen Halbleitermaterialien als elektrisch leitende Füllschicht 7 bei den nicht dargestellten nachfolgenden Prozessschritten eine Ausdiffusion am Fuß des Kontaktes stattfindet, wodurch man weiter verbesserte Isoliereigenschaften erzeugen kann.

#### Drittes Ausführungsbeispiel

Figur 3 zeigt eine vereinfachte Schnittansicht eines Halbleiterbauelements mit Grabenisolierung gemäß einem dritten Ausführungsbeispiel, wobei gleiche Bezugszeichen gleiche Elemente oder Schichten wie in den Figuren 1 oder 2 bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 3 besitzt das Halbleitersubstrat nunmehr lediglich eine p-Wanne oder ein eigentliches Substrat 1 sowie eine zusätzliche n-Wanne 2, wobei die elektrisch leitende Füllschicht 7 mit der p-Wanne bzw. dem Substrat 1 in Verbindung steht. Auf diese Weise erhält man eine STI- bzw. TTI-Graben-

isolierung für PMOS-Transistoren, weshalb die Dotiergebiete  
13 p<sup>+</sup>-dotiert sind. Insbesondere bei Verwendung von hoch do-  
tiertem Halbleitermaterial besteht die elektrisch leitende  
Füllschicht demzufolge aus einem p<sup>+</sup>-dotierten Polysilizium.

5

Entsprechend dem ersten und zweiten Ausführungsbeispiel erge-  
ben sich wiederum verbesserte Abschirmeigenschaften bei ver-  
ringertem Flächenbedarf.

#### 10 Viertes Ausführungsbeispiel

Figur 4 zeigt eine vereinfachte Schnittansicht eines Halblei-  
terbauelements mit Grabenisolierung gemäß einem vierten Aus-  
führungsbeispiel, wobei gleiche Bezugszeichen wiederum glei-  
15 che Elemente oder Schichten wie in Figuren 1 bis 3 bezeichnen  
und auf eine wiederholte Beschreibung nachfolgend verzichtet  
wird.

Gemäß Figur 4 ist wiederum eine STI- und TTI-Grabenisolierung  
20 mit zugehörigem Grabenkontakt DTC für PMOS-Transistoren be-  
kannt, wobei nunmehr wiederum eine Zweifach-Wannenstruktur  
bzw. eine n-Wanne 2 in einem p-Substrat 1 ausgebildet ist.  
Gemäß Figur 4 kann sich der bodenseitige Anschluss der Gra-  
benisolierung demzufolge auch in der ersten n-Wanne 2 befin-  
5 den, wobei wiederum vorzugsweise n<sup>+</sup>-dotiertes Polysilizium  
verwendet wird und zur Vermeidung von Punch-through-Effekten  
eine entsprechende Tiefe der Gräben größer einer Tiefe der  
Raumladungszonen ist.

30 Wiederum können auch in diesem Fall verbesserte Abschirmei-  
genschaften bei verringertem Flächenbedarf für Halbleiterbau-  
elemente mit Grabenisolierungen geschaffen werden, wobei  
gleichzeitig sowohl schmale Grabenisolierungen TTI als auch  
Grabenisolierungen mit verbreiteter Grabenoberfläche STI  
35 hergestellt werden können.

Fünftes Ausführungsbeispiel

Figuren 5A bis 5H zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Halbleiterbauelements mit Grabenisolierung gemäß einem fünften Ausführungsbeispiel, wobei gleiche Bezugszeichen gleiche oder entsprechende Schichten bzw. Elemente wie in den Figuren 1 bis 4 bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß dem fünften Ausführungsbeispiel wird nunmehr lediglich eine verbreiterte Grabenisolierung STI mit verbreiteter Oberflächenstruktur und ein zugehöriger Grabenkontakt DTC ausgebildet, wodurch sich die Verfahrensschritte leicht vereinfachen lassen.

Zunächst erfolgen jedoch wiederum die gleichen Verfahrensschritte wie in den Figuren 1A bis 1D, wodurch in tiefen Gräben T eine Seitenwand-Isolationsschicht 6 und eine elektrisch leitende Füllschicht 7 ausgebildet wird.

In einem dem Verfahrensschritt gemäß Figur 1D nachfolgenden Verfahrensschritt gemäß Figur 5A wird nunmehr die Hartmaskenschicht 5, welche vorzugsweise aus einer Siliziumnitridschicht besteht, vollständig entfernt und eine neue zweite Hartmaskenschicht 5A beispielsweise ganzflächig abgeschieden.

Gemäß Figur 5B wird in einem nachfolgenden Verfahrensschritt wiederum eine erste Resistschicht 8 zur Strukturierung des Bereichs für die verbreiterte Grabenisolierung STI aufgebracht und mittels herkömmlicher fotolithographischer Verfahren strukturiert. Unter Verwendung dieser Resistmaske wird anschließend die zweite Hartmaskenschicht 5A insbesondere im Bereich der verbreiterten Grabenisolierung STI entfernt, wodurch man die in Figur 5B dargestellte Schnittansicht erhält.

Gemäß Figur 5C erfolgt anschließend ein Entfernen der ersten Resistschicht 8 bzw. ein Resiststrip sowie ein Entfernen der

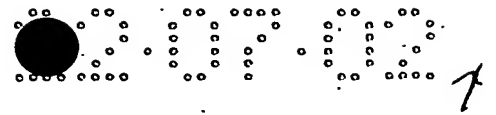
elektrisch leitenden Füllschicht 7 sowie des Halbleitersubstrats bzw. der p-Wanne 3 in einem oberen Bereich der Gräben. Dieser Schritt entspricht im Wesentlichen dem Verfahrensschritt gemäß Figur 1H des ersten Ausführungsbeispiels, wobei zunächst die erste Isolierschicht bzw. Siliziumdioxid- Bufferschicht 4 und anschließend das Halbleitermaterial entfernt wird. Abgeschlossen wird dieser Schritt wiederum durch einen Reinigungsprozess bzw. durch das Entfernen der verbleibenden Polymere.

Gemäß Figur 5D wird in gleicher Weise wie im Schritt gemäß Figur 1I ein kurzes Eintauchen in Flusssäure (HF-Dip) durchgeführt, wodurch die verbleibenden Siliziumdioxid-Seitenwand-Isolationsschichten 6 entfernt werden. Ferner wird zur Entspannung der Grabenkanten ein Rückätzen der zweiten Hartmaschenschicht 5A durchgeführt, was als sogenanntes Nitrid-Pullback bezeichnet wird und zu einer Rückätzung bzw. Dickenreduzierung dieser Schicht auch im Bereich der Grabenkontakte DTC führt.

Gemäß Figur 5E erfolgt nunmehr wiederum das Ausbilden der ersten Abdeckisoliations-Teilschicht 10 sowie in Figur 5F das Ausbilden der zweiten Abdeckisoliations-Teilschicht 11, wobei wiederum die gleichen Verfahrensschritte wie in den Figuren 1J und 1K durchgeführt werden.

Gemäß Figur 5F wird jedoch insbesondere im Bereich des Grabenkontakts DTC in einer Mulde der zweiten Hartmaskenschicht 5A ebenfalls eine zweite Abdeckisoliations-Teilschicht 11 in Form einer TEOS-Siliziumdioxidschicht mittels eines CVD-Verfahrens abgeschieden.

Gemäß Figur 5G werden nunmehr auch die freiliegenden Bereich der zweiten Hartmaskenschicht 5A vollständig entfernt, wobei jedoch unterhalb der zweiten Abdeckisoliations-Teilschicht 11 im Bereich des Grabenkontakts DTC ein Teil dieser Schicht 5A verbleibt.



Abschließend wird gemäß Figur 5H wiederum die erste Isolations-  
schicht 4 bzw. die Siliziumdioxid- BUFFERSCHICHT vollständig  
entfernt und ein Gatedielektrikum 12 ganzflächig ausgebildet,  
wobei vorzugsweise eine thermische Oxidation zur Ausbildung  
eines konformen bzw. konformalen (gleichmäßig dicken) Gateoxids  
durchgeführt wird.

Die weiteren Schritte zur Ausbildung der Dotiergebiete, Steuerschichten  
sowie Kontaktlöcher sind nachfolgend nicht dargestellt, wobei  
explizit auf die Beschreibung des ersten Ausführungsbeispiels  
verwiesen wird.

Insbesondere bei Realisierung eines Halbleiterbauelements mit  
einer verbreiterten Grabenisolierung STI, welche eine verbreiterte  
Grabenoberfläche aufweist, kann demzufolge das Herstellungsverfahren  
leicht vereinfacht werden, wobei man wiederum verbesserte Abschirmeigenschaften  
bei verringertem Flächenbedarf erhält.

Die in Figur 5 dargestellte Mehrfach-Wannenstruktur kann selbstverständlich  
auch auf andere Halbleitersubstrate und andere Wannenstrukturen  
gemäß Figuren 2 bis 4 angewendet werden.

#### Sechstes Ausführungsbeispiel

Figuren 6A bis 6E zeigen vereinfachte Schnittansichten zur Veranschaulichung  
wesentlicher Verfahrensschritte bei der Herstellung eines Halbleiterbauelements  
mit Grabenisolierung gemäß einem sechsten Ausführungsbeispiel, wobei die  
Grabenisolierung lediglich eine schmale Grabenisolierung TTI aufweist.

Gemäß dem sechsten Ausführungsbeispiel werden wiederum zunächst die  
Verfahrensschritte gemäß Figuren 1A bis 1D durchgeführt, wobei in einem  
nachfolgenden Schritt gemäß Figur 6A







kann jedoch auch ein n-dotiertes Halbleitersubstrat verwendet werden, wobei die verwendeten Dotierungen in den vorstehend genannten Ausführungsbeispielen durch die komplementären Dotierungen ersetzt werden.

## Bezugszeichenliste

- 1, 2, 3 Halbleitersubstrat
- 4 erste Isolationsschicht
- 5 5, 5A erste, zweite Hartmaskenschicht
- 6 Seitenwand-Isolationsschicht
- 7 elektrisch leitende Füllschicht
- 8 erste Resistschicht
- 9 zweite Isolationsschicht
- 10 10 erste Abdeckisolutions-Teilschicht
- 11 zweite Abdeckisolutions-Teilschicht
- 12 Gatedielektrikum
- 13 Dotiergebiete
- T tiefe Gräben
- 15 ST flache Gräben
- STI verbreiterte Grabenisolierung
- TTI schmale Grabenisolierung
- DTC Grabenkontakt

## Patentansprüche

1. Halbleiterbauelement mit Grabenisolierung zum Festlegen  
von aktiven Gebieten in einem Halbleitersubstrat (1, 2, 3),  
5 wobei  
die Grabenisolierung (STI, TTI) einen tiefen Isolationsgraben  
mit einer Abdeckisolationsschicht (10, 11) einer Seitenwand-  
Isolationsschicht (6) und einer elektrisch leitenden Füll-  
schicht aufweist, die in einem Bodenbereich des Isolations-  
10 grabens mit einem vorbestimmten Dotiergebiet des Halbleite-  
Substrats elektrisch in Verbindung steht  
g e k e n n z e i c h n e t d u r c h  
einen Grabenkontakt (DTC), der einen tiefen Kontaktgraben mit  
einer Seitenwand-Isolationsschicht (6) und einer elektrisch  
15 leitenden Füllschicht (7) aufweist, die ebenfalls in einem  
Bodenbereich des Kontaktgrabens mit dem vorbestimmten Dotier-  
gebiet des Halbleitersubstrats (1, 2, 3) elektrisch in Ver-  
bindung steht.
- 20 2. Halbleiterbauelement nach Patentanspruch 1,  
d a d u r c h g e k e n n z e i c h n e t, dass die Ab-  
deckisolationsschicht (10, 11) im Wesentlichen unterhalb ei-  
ner Halbleitersubstrat-Oberfläche und innerhalb des Isolati-  
onsgrabens ausgebildet ist.
- 5 3. Halbleiterbauelement nach Patentanspruch 1 oder 2,  
d a d u r c h g e k e n n z e i c h n e t, dass die Gra-  
benisolierung (STI, TTI) und der Grabenkontakt (DTC) eine  
größere Tiefe als eine zugehörige Verarmungszone im Halblei-  
30 tersubstrat (1, 2, 3) aufweisen.
4. Halbleiterbauelement nach einem der Patentansprüche 1  
bis 3,  
d a d u r c h g e k e n n z e i c h n e t, dass die Gra-  
35 benisolierung (STI) zum Auffüllen nicht aktiver Bereiche ei-  
nen verbreiterten, flachen Isolationsgraben an der Halblei-  
tersubstrat-Oberfläche aufweist.

5. Halbleiterbauelement nach einem der Patentansprüche 1 bis 4,

5 dadurch gekennzeichnet, dass das vorbe-  
stimmte Dotiergebiet eine Dotierwanne (2) einer Mehrfach-  
Wannenstruktur darstellt.

6. Halbleiterbauelement nach einem der Patentansprüche 1 bis 5,

10 dadurch gekennzeichnet, dass das Halb-  
leitersubstrat (1, 2, 3) Si, die Abdeck- sowie Seitenwand-  
Isolationsschicht (6, 10, 11)  $\text{SiO}_2$  und die Füllschicht (7)  
hochdotiertes Polysilizium aufweist.

15 7. Verfahren zur Herstellung eines Halbleiterbauelements  
mit Grabenisolierung mit den Schritten:

a) . Vorbereiten eines Halbleitersubstrats (1, 2, 3) mit zumindest einem vorbestimmten Dotiergebiet (2);

b) Ausbilden von tiefen Gräben (T) bis zum vorbestimmten Dotiergebiet (2) zur Realisierung von zumindest einer Grabenisolierung (STI, TTI) und einem Grabenkontakt (DTC);

c) Ausbilden einer Seitenwand-Isolationsschicht (6) an den Seitenwänden der Gräben (T);

d) Ausbilden einer elektrisch leitenden Füllschicht (7) in den Gräben (T).;

e) Entfernen von zumindest der elektrisch leitenden Füllschicht (7) im oberen Bereich der Gräben für die Grabenisolierung (STI, TTI) zum Ausbilden von flachen Gräben (ST); und

30 f) Ausbilden einer Abdeckisolationsschicht (10, 11) in den flachen Gräben (ST) der Grabenisolierung (STI, TTI).

8. Verfahren nach Patentanspruch 7,

d a d u r c h   g e k e n n z e i c h n e t, dass in Schritt

35 a) eine Doppel- oder Dreifach-Wannenstruktur im Halbleiter-  
substrat ausgebildet wird.

9. Verfahren nach Patentanspruch 7 oder 8;

d a d u r c h g e k e n n z e i c h n e t, dass in Schritt b) die tiefen Gräben (T) unter Verwendung einer ersten Hartmaskenschicht (5) mittels eines anisotropen Ätzverfahrens im Halbleitersubstrat ausgebildet werden.

5.

10. Verfahren nach einem der Patentansprüche 7 bis 9, d a d u r c h g e k e n n z e i c h n e t, dass in Schritt c) eine thermische Oxidation zum Ausbilden einer Grabenisolationsschicht und ein anisotropes Ätzverfahren zum Entfernen eines Bodenbereichs der Grabenisolationsschicht durchgeführt wird.

10.

11. Verfahren nach einem der Patentansprüche 7 bis 10, d a d u r c h g e k e n n z e i c h n e t, dass in Schritt d) ein hochdotiertes Halbleitermaterial (7) abgeschieden wird, welches den gleichen Leitungstyp (n) wie das vorbestimmte Dotiergebiet (2) aufweist.

15

12. Verfahren nach einem der Patentansprüche 7 bis 11, d a d u r c h g e k e n n z e i c h n e t, dass in Schritte e) zur Realisierung einer verbreiterten Grabenisolierung (STI) die leitende Füllschicht (7), die Seitenwand-Isolationsschicht (6) und angrenzende Bereiche des Halbleitersubstrats (1, 2, 3) im oberen Bereich der tiefen Gräben (T) entfernt werden.

20

13. Verfahren nach einem der Patentansprüche 7 bis 12, d a d u r c h g e k e n n z e i c h n e t, dass in Schritte e) zur Realisierung einer schmalen Grabenisolierung (TTI) nur die leitende Füllschicht (7) mit oder ohne der Seitenwand-Isolationsschicht (6) im oberen Bereich der Gräben entfernt wird.

30

14. Verfahren nach einem der Patentansprüche 7 bis 12, d a d u r c h g e k e n n z e i c h n e t, dass in Schritt f) eine Oxidation zum Ausbilden einer ersten Abdeckisolationsteilschicht (10) und /oder eine Abscheidung zum Ausbilden

35

22

einer zweiten Abdeckisoliations-Teilschicht (11) im flachen Graben (ST) durchgeführt wird.



## Zusammenfassung

Halbleiterbauelement mit Grabenisolierung sowie zugehöriges  
Herstellungsverfahren

5

Die Erfindung betrifft ein Halbleiterbauelement mit Graben-  
isolierung sowie ein zugehöriges Herstellungsverfahren, wobei  
eine Grabenisolierung (STI, TTI) einen tiefen Isolationsgra-  
ben mit einer Abdeckisolationsschicht (10, 11), einer Seiten-  
wand-Isolationsschicht (6) und einer elektrisch leitenden  
Füllschicht (7) aufweist, die in einem Bodenbereich des Gra-  
bens mit einem vorbestimmten Dotiergebiet (1) des Halbleiter-  
substrats elektrisch in Verbindung steht. Durch die Verwen-  
dung eines Grabenkontakts (DTC), der einen tiefen Kontaktgra-  
ben mit einer Seitenwand-Isolationsschicht (6) und einer  
elektrisch leitenden Füllschicht (7) aufweist, die ebenfalls  
in einem Bodenbereich des Kontaktgrabens mit dem vorbestimm-  
ten Dotiergebiet (1) des Halbleitersubstrats elektrisch in  
Verbindung steht, können die elektrischen Abschirmeigenschaf-  
ten bei verringertem Flächenbedarf verbessert werden.

10

15

20

Figur 3



STI

TTI

DTC

-3

-2

1

5

4

3

2

1

5

4

3.

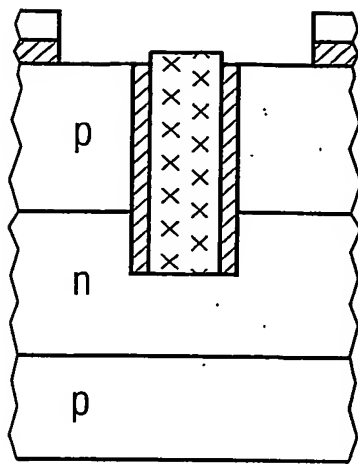
2

4 -



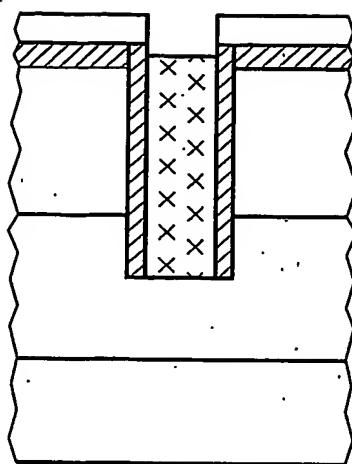
FIG 1G

STI



3/12

TTI



DTC

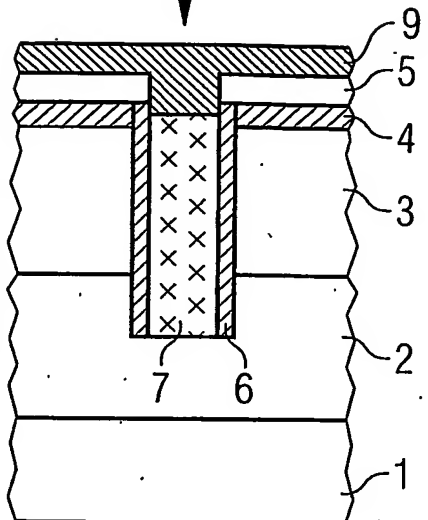


FIG 1H

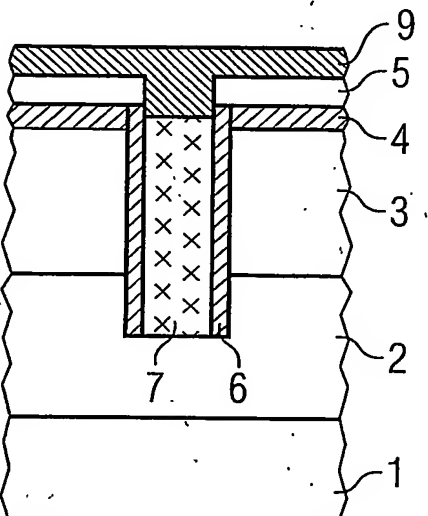
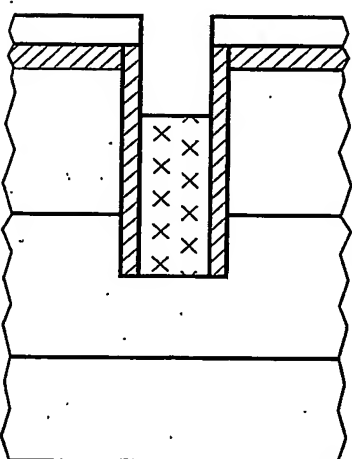
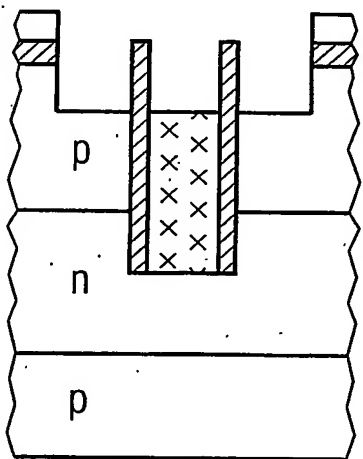
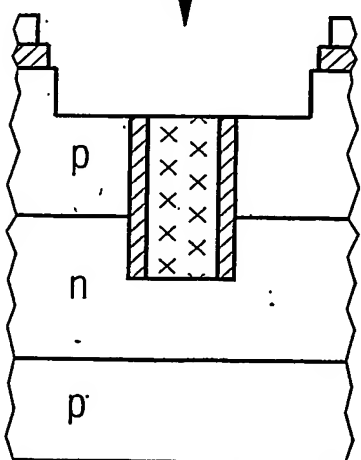


FIG 1I

ST



ST

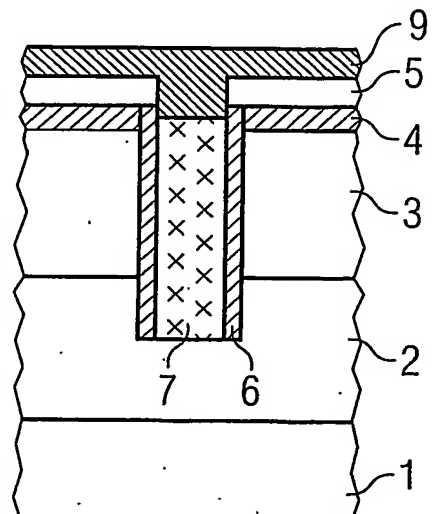
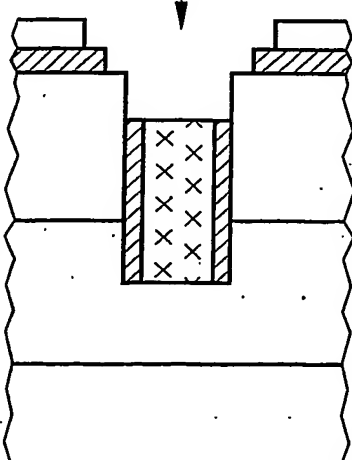
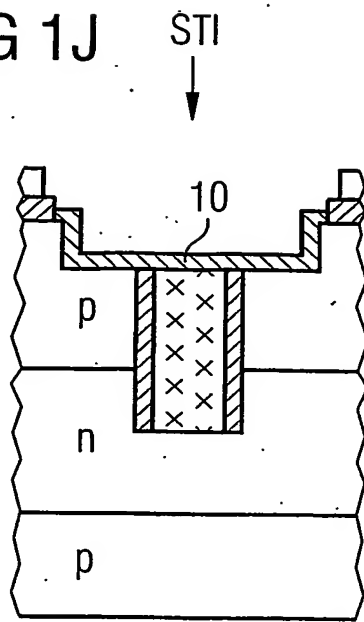
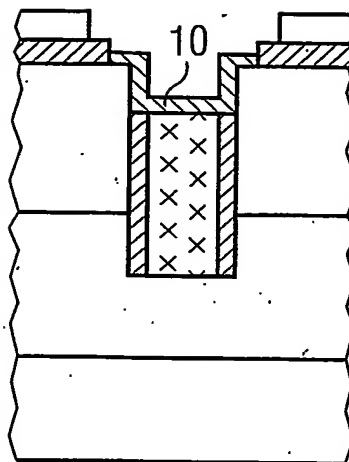


FIG 1J



4/12

TII



DTC

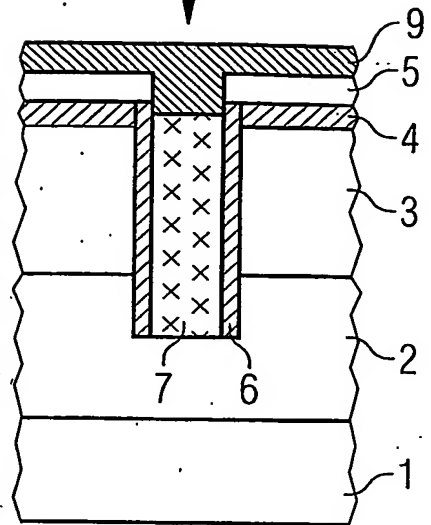


FIG 1K

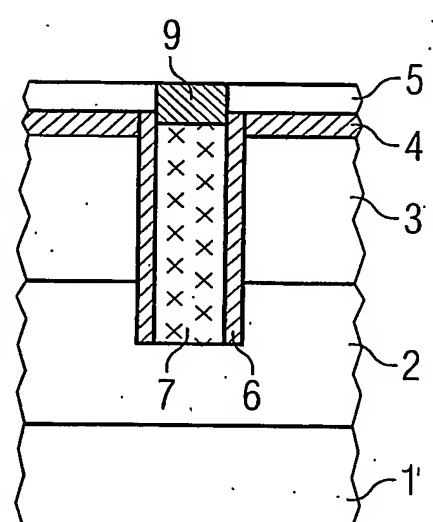
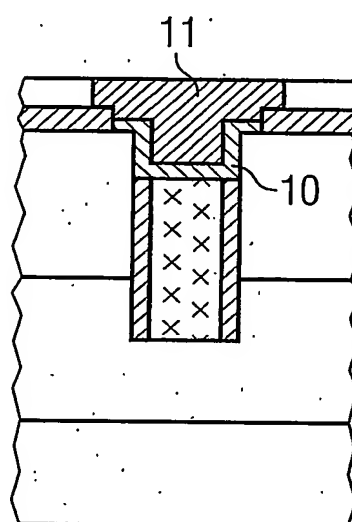
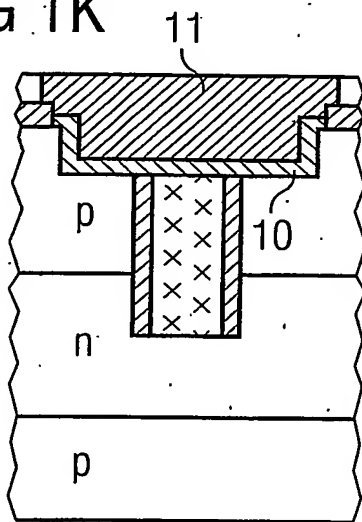


FIG 1L

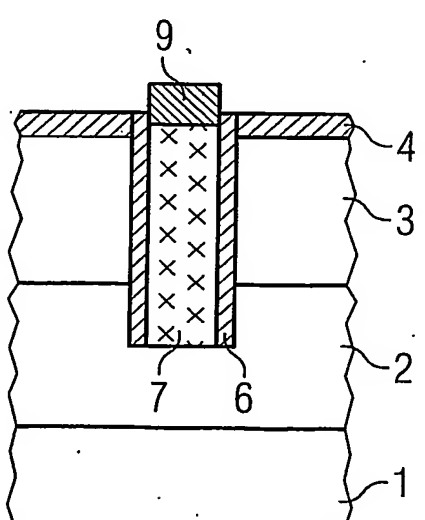
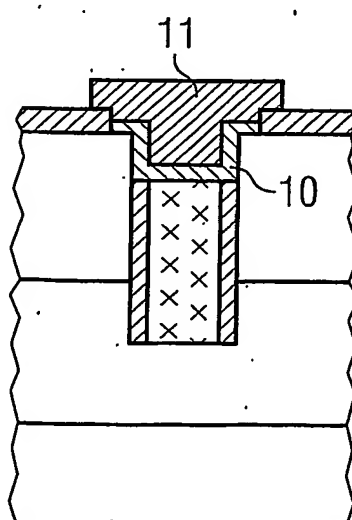
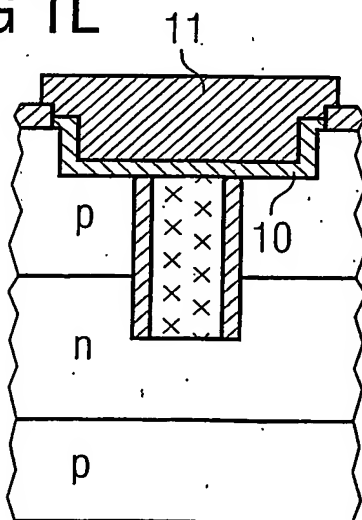


FIG 1M

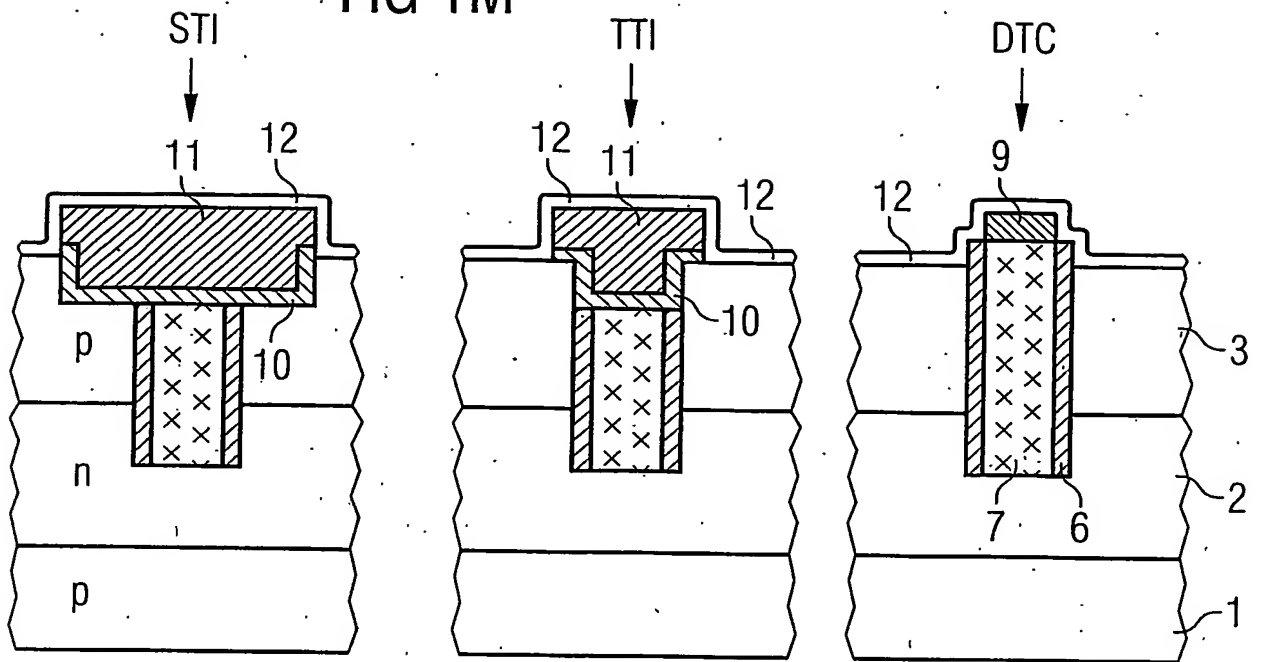


FIG 1N

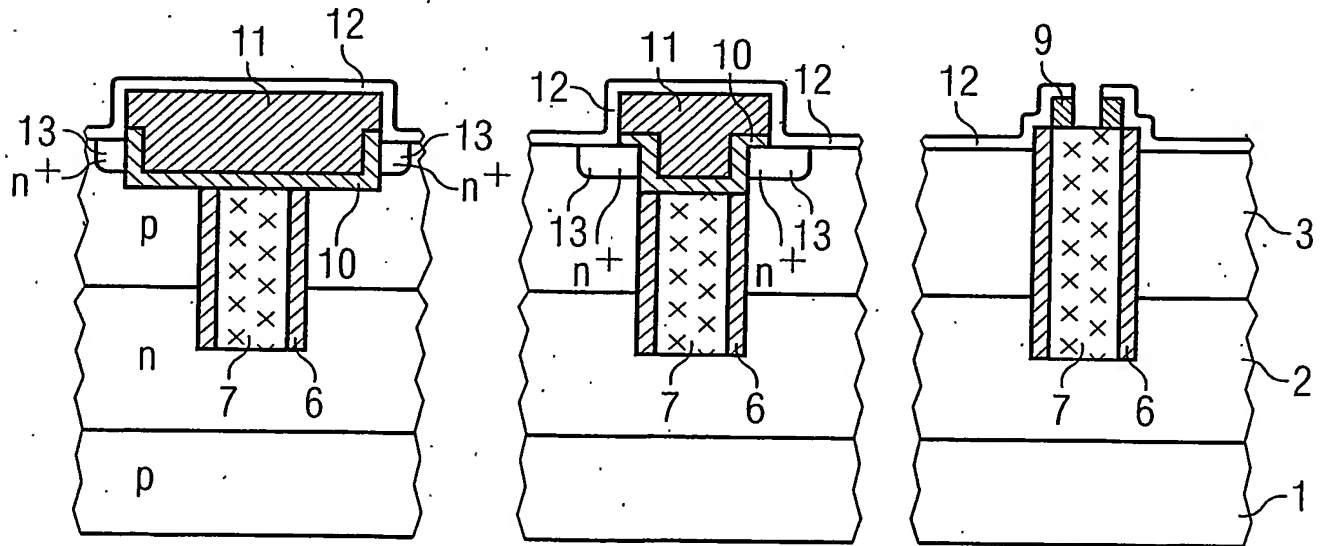


FIG 2

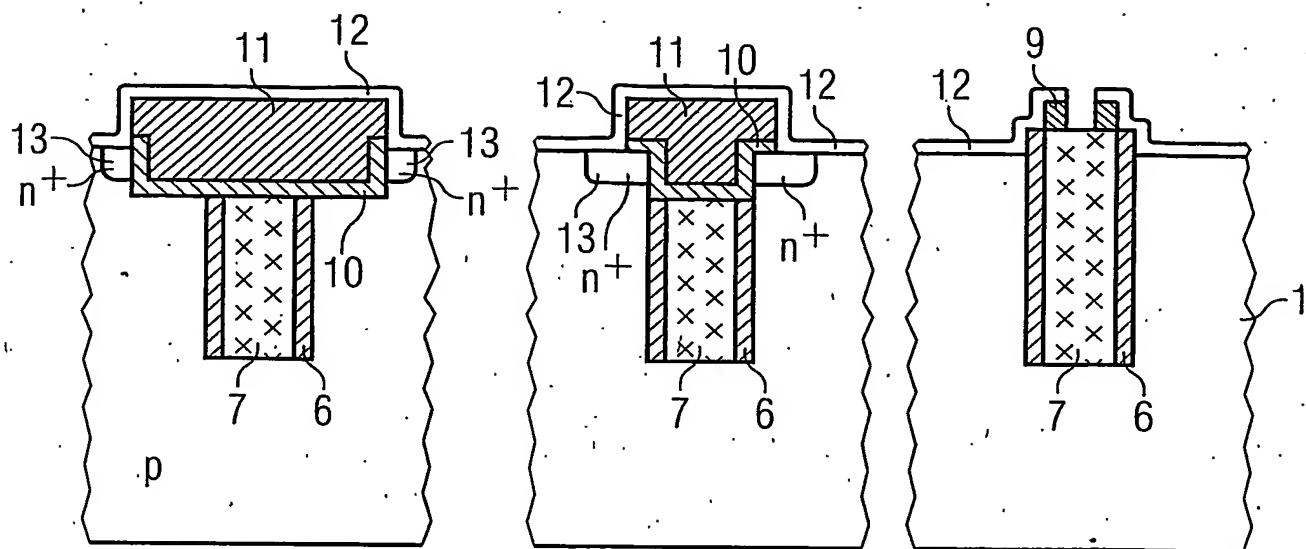


FIG 3

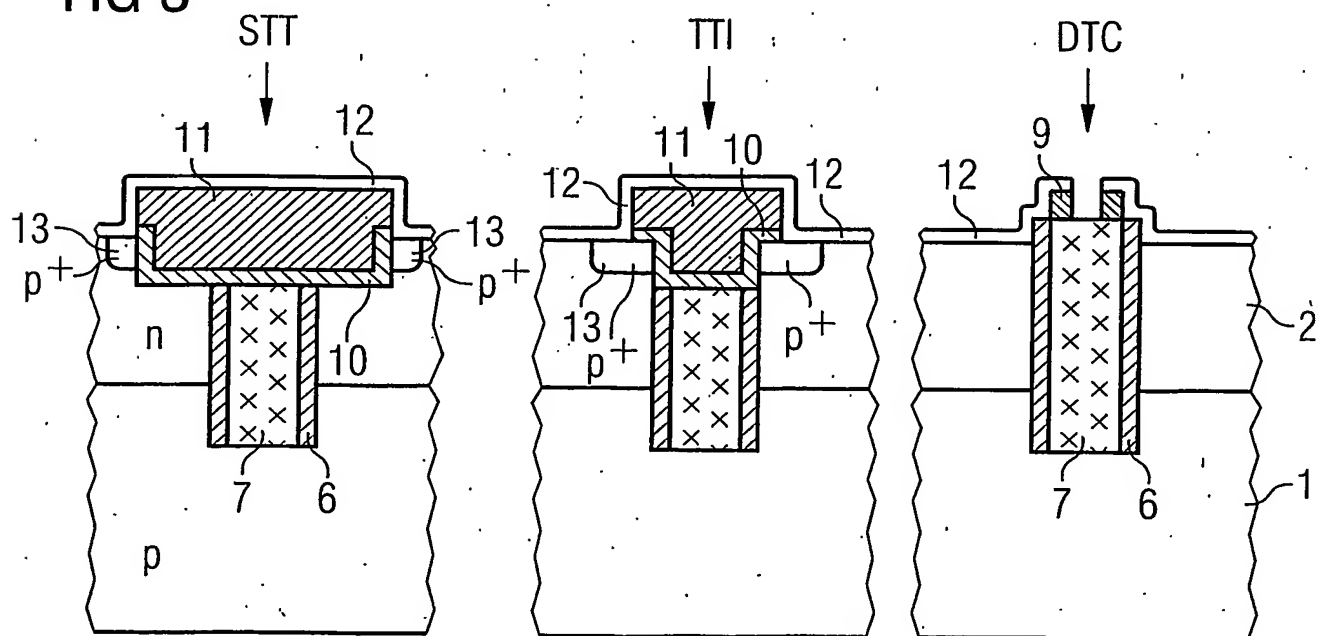




FIG 4

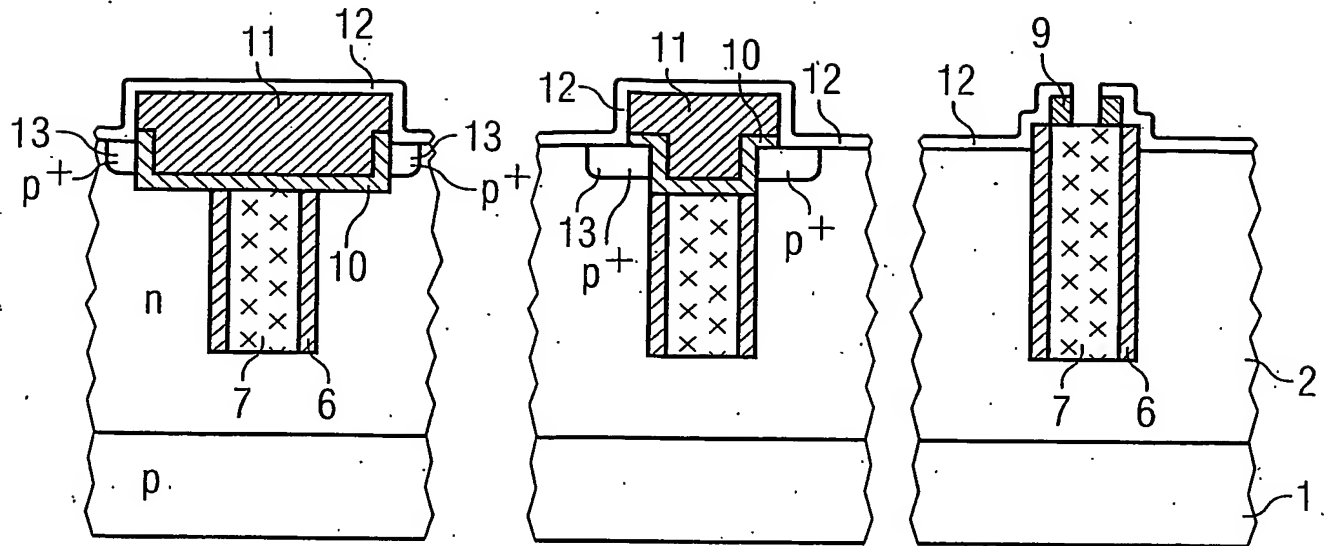


FIG 5A

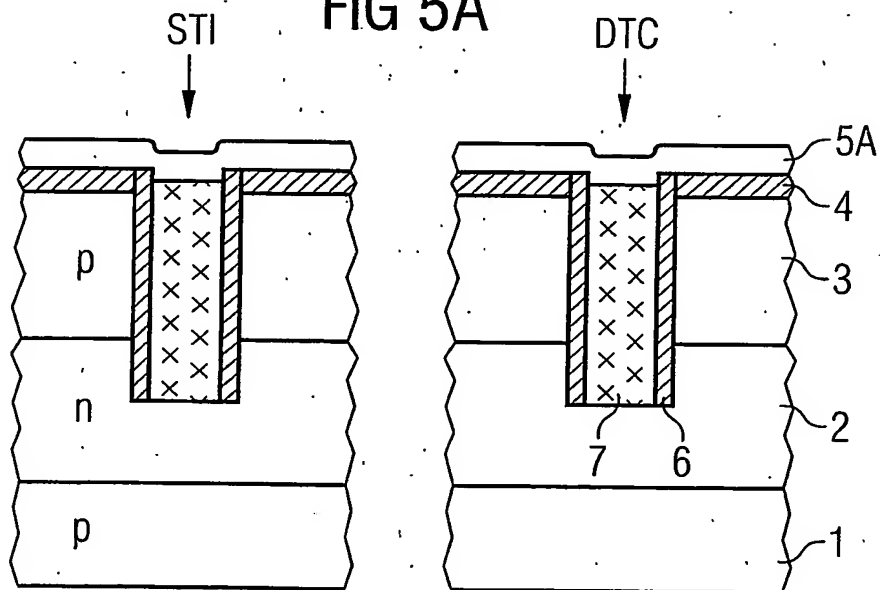


FIG 5B

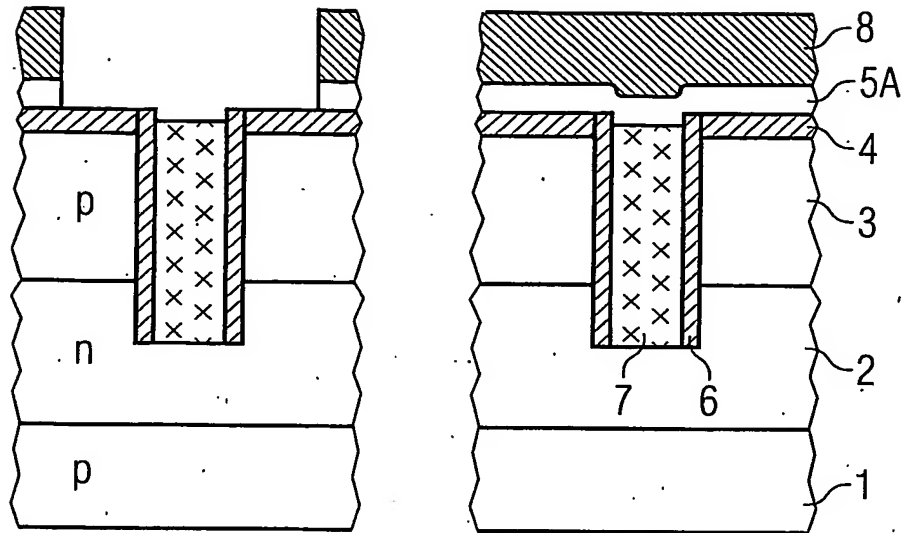


FIG 5C

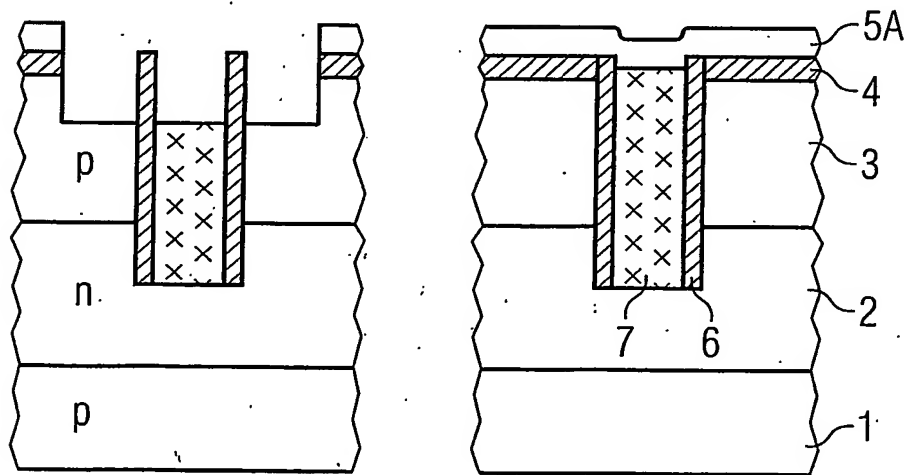


FIG 5D

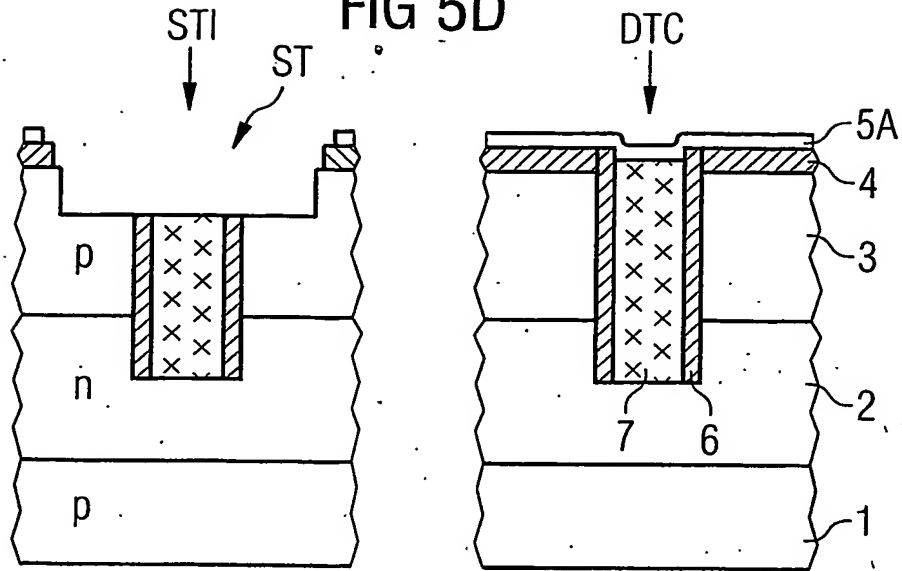


FIG 5E

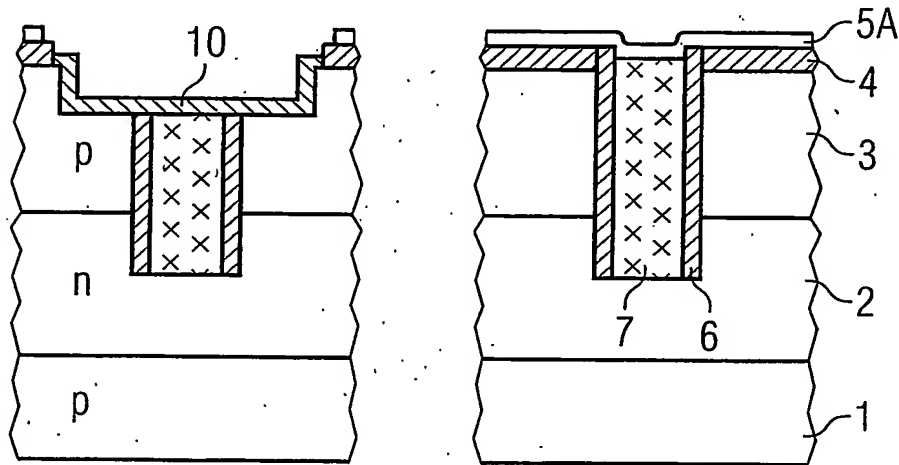


FIG 5F

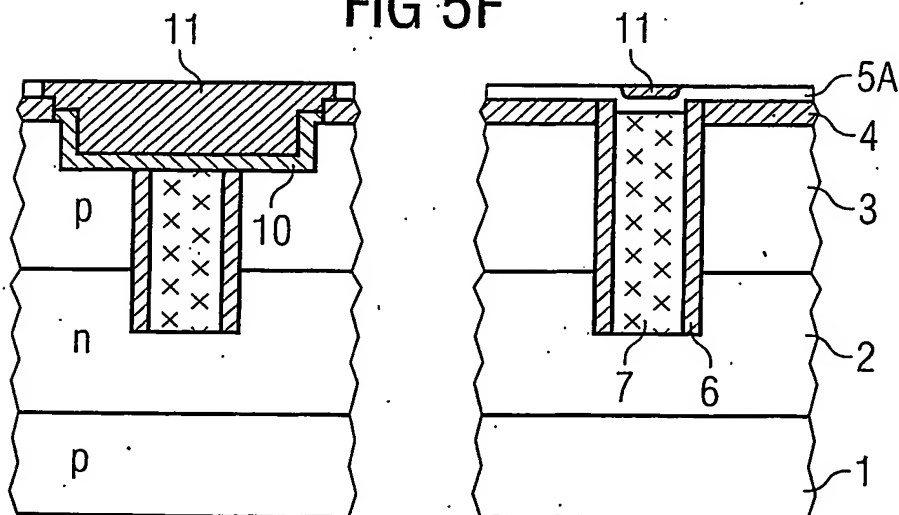


FIG 5G

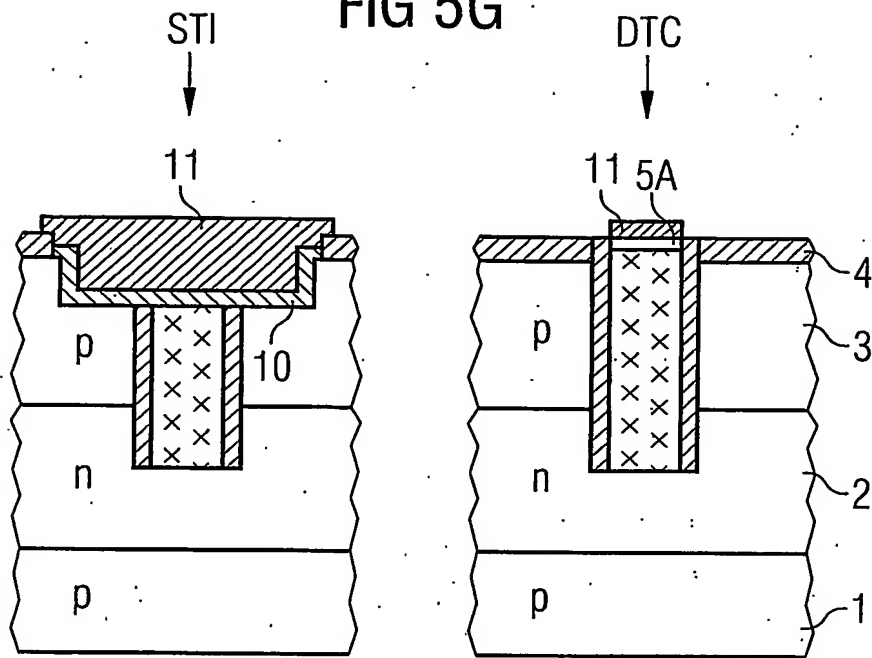


FIG 5H

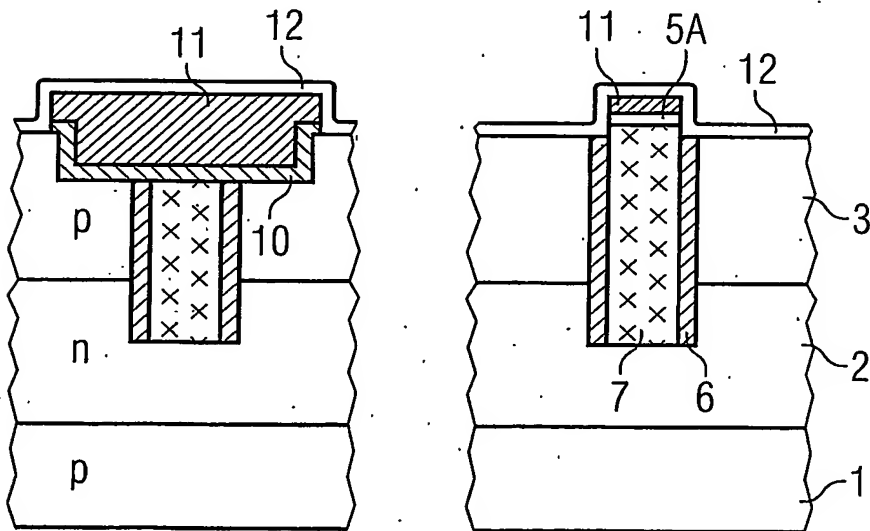




FIG 6D

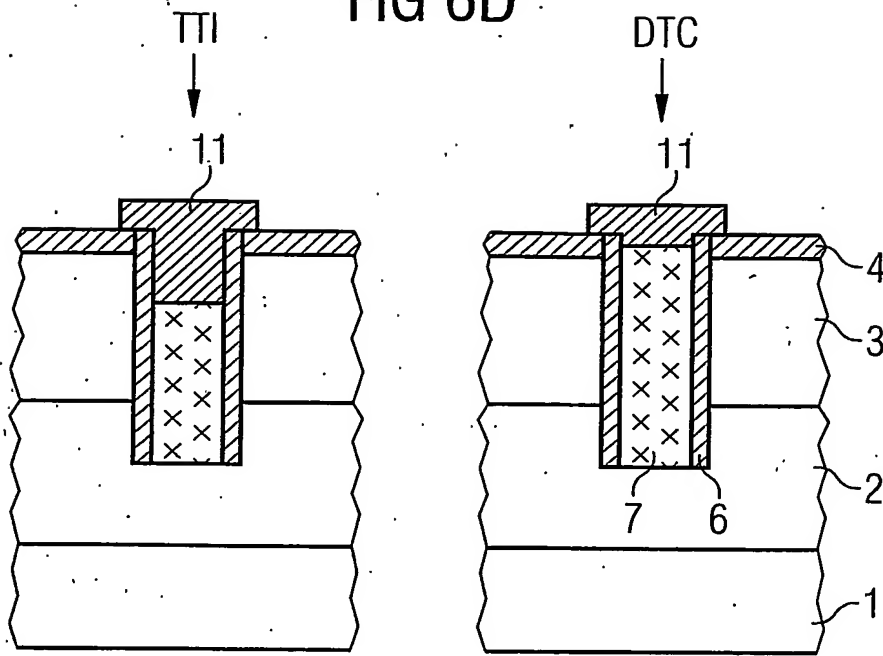
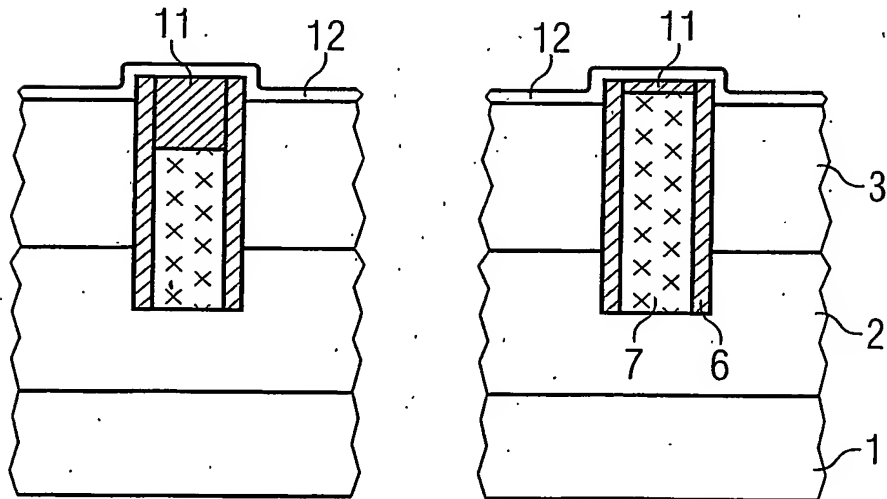


FIG 6E



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**